

明 細 書

MISトランジスタ及びCMOSトランジスタ
技術分野

[0001] 本発明は、MIS(Metal—Insulator—Semiconductor)トランジスタのゲート幅を調整する技術に関する。

背景技術

[0002] 半導体装置の一つとして、従来よりMIS(Metal—Insulator—Semiconductor)トランジスタが知られている。

このMISトランジスタに構成されるゲート絶縁膜の形成手法は様々で、一例として、酸素分子や水分子を使用して約800°C程度以上の熱酸化処理を施す熱酸化技術が挙げられる。

[0003] この熱酸化技術によると、ゲート絶縁膜を形成する熱酸化工程の前工程として、有機物、金属、パーティクルなどの表面付着汚染物の除去処理を施し、更に希フッ酸や水素添加水等を用いた洗浄を行ない、そして、ゲート絶縁膜が形成されるシリコン基板(この他の半導体基板としてはゲルマニウムなどもある)の表面のシリコン未結合手を水素で終端してシリコン基板の表面への自然酸化膜形成を抑制し、清浄な表面を有するシリコン基板を続く上記熱酸化工程へと導入する。

[0004] そして、この熱酸化工程では、アルゴン(Ar)などの不活性ガス雰囲気でシリコン基板を昇温する。この昇温の過程では、約600°C程度以上の温度で上記シリコン基板の表面のシリコン未結合手を終端した表面終端水素が脱離し、さらに、約800°C以上で、酸素分子ないしは水分子を導入した雰囲気でシリコン基板の表面の酸化が行なわれる。

[0005] このような熱酸化技術を使用してシリコン基板の表面にシリコン酸化膜を形成した場合、表面が(100)面方位に配向した結晶面をもつシリコン基板においては、酸化膜／シリコン界面特性、酸化膜の耐圧特性、リーク電流特性などが良好となる。また、上記熱酸化技術に変わるものその他の手法であっても上記同等程度の効果を得る事ができるとされている。

[0006] そのため、シリコン基板に対してMISトランジスタを構成する際は、(100)面を主面とするシリコン基板の表面(すなわち(100)面)に上記熱酸化技術などの手法に基づいてゲート絶縁膜を形成し、MIS構造のトランジスタ(p チャネルMISトランジスタや n チャネルMISトランジスタ)を構成している。

[0007] さらに、ゲート絶縁膜に上記熱酸化技術等の手法を用いて酸化膜を形成することにより、シリコン基板の(100)面上に p チャネルMOS(Metal-Oxide-Semiconductor)トランジスタ及び n チャネルMOSトランジスタよりなる相補型のMOSトランジスタ(以下、CMOSトランジスタと呼ぶ事とする)を集積することができる。

[0008] 一方でMOSトランジスタのゲート構造に特徴をもたせた半導体装置も多く見られるようになってきた。

その一つには、半導体基板に形成された凸部の一結晶面((100)面)に、上述した熱酸化処理などを施してゲート絶縁膜を形成し、半導体基板の上記凸部の側壁面にチャネルを形成させてなる一導電型(p チャネルまたは n チャネル)のMOSトランジスタがある(特開2002-110963号公報)。

[0009] 一般的に、一結晶面((100)面)に対してゲート絶縁膜が形成されてなるMISトランジスタにゲート電圧が加わると、当該一結晶面に面してシリコン基板中にチャネルが形成される。この時、そのチャネル幅は上記一結晶面に沿って形成されたチャネルを通過する電子または正孔の移動方向と直交する方向の長さによって与えられる。

[0010] そして上記MISトランジスタの電流駆動能力を高めるためには、上記チャネル内の電子移動量或いは正孔移動量を高める必要があり、これを実現するためには上記チャネル幅を長くし、さらにはそのチャネル内において電子或いは正孔の無駄な浪費を少なくするという工夫が必要となる。

特許文献1:特開2002-110963号公報

[0011] ところが、一般的なMISトランジスタの構成では、チャネル幅を長くしてしまうとMISトランジスタの素子面積は増大してしまうため、半導体基板上への素子の集積度を高めることは困難となる。また、上記特開2002-110963号公報に開示されている技術を適用した場合では、チャネルが形成される半導体基板凸部が示す面方位によって電子或いは正孔に無駄な浪費を生じ、チャネル幅の単位長さ当たりに使用される、ト

トランジスタを駆動させるために有効なエネルギー量が、例えば(100)結晶面では最適であっても他の結晶面では格段に減少してしまう。よって、当該技術を適用してゲート幅を増やしても、チャネル内の電子或いは正孔の無駄な浪費が生じてしまう。

[0012] また、CMOSトランジスタを形成する際は、電子移動度が正孔移動度の2倍から3倍の値を有するため、互いの電流駆動能力を一致させるためには、電流駆動能力の小さいpチャネルMOSトランジスタのチャネル幅が大きくなるようにその素子面積をnチャネルMOSトランジスタの素子面積よりも大きくしなければならなくなる。反対に、互いの素子面積を一致させようとすると、互いのチャネル幅が同一になり各電流駆動能力に不一致が生じる。

発明の開示

[0013] 本発明は、素子面積の増大を抑制すると共にチャネルの幅を増やし、さらにそのチャネルにおいて、チャネル幅の単位長さあたりの、トランジスタを駆動させるために有効なエネルギー量の低下を抑止することのできるMISトランジスタを提供することを目的とし、更には、pチャネルMOSトランジスタ及びnチャネルMOSトランジスタの素子面積を等しくし、かつ互いの電流駆動能力が一致するCMOSトランジスタを提供することを目的として、以下のように構成する。

[0014] 本発明のMISトランジスタの態様の一つは、半導体基板に形成されるMISトランジスタであって、表面が少なくとも二つの異なる結晶面を有する凸部を主面に対して構成する半導体基板と、上記凸部の表面を構成する上記少なくとも二つの異なる結晶面の各々の少なくとも一部を覆うゲート絶縁膜と、上記半導体基板と電気的に絶縁されるように上記ゲート絶縁膜を介して構成され、かつ上記凸部の表面を構成する上記少なくとも二つの異なる結晶面の各々に対して構成されるゲート電極と、上記凸部の表面を構成する上記少なくとも二つの異なる結晶面の各々に面して上記凸部中に形成され、かつ上記ゲート電極の両側にそれぞれ形成される同一導電型拡散領域(導電型には、例えばn型やp型があり、同一導電型拡散領域とは、上記ゲート電極の両側に形成される拡散領域の導電型が同一であることを意味する)と、を有するように構成する。

[0015] この際、上記ゲート電極の両側に夫々形成された上記同一導電型拡散領域間に

上記ゲート絶縁膜に沿って生成されるチャネルのチャネル幅は、上記少なくとも二つの異なる結晶面に沿って生成される各チャネルのチャネル幅の総和で示される、よう にすることが望ましい。

- [0016] なお、上記ゲート絶縁膜は、上記凸部の表面を構成する上記少なくとも二つの異なる結晶面の各々の少なくとも一部を、上記少なくとも二つの異なる結晶面に渡って連続して覆う、ように構成されることが望ましい。
- [0017] また、本発明のMISトランジスタのその他の態様の一つは、半導体基板に形成されるMISトランジスタであって、表面が少なくとも二つの異なる結晶面を有する凸部を主面に対して構成する半導体基板と、上記主面及び上記凸部の表面を構成する上記少なくとも二つの異なる結晶面の各々の少なくとも一部を覆うゲート絶縁膜と、上記半導体基板と電気的に絶縁されるように上記ゲート絶縁膜を介して構成され、かつ上記主面及び上記凸部の表面を構成する上記少なくとも二つの異なる結晶面の各々に対して構成されるゲート電極と、上記主面及び上記凸部の表面を構成する上記少なくとも二つの異なる結晶面の各々に面して上記凸部中に形成され、かつ上記ゲート電極の両側にそれぞれ形成される同一導電型拡散領域と、を有するように構成する。
- [0018] この際、上記主面に沿って生成されるチャネルのチャネル幅が、上記少なくとも二つの結晶面の内の上記主面と異なる結晶面に沿って生成されるチャネルのチャネル幅によって補われる、ように構成してもよい。
- [0019] なお、上記ゲート絶縁膜は、上記主面及び上記凸部の表面を構成する上記少なくとも二つの異なる結晶面の各々の少なくとも一部を、上記主面及び上記少なくとも二つの異なる結晶面に渡って連続して覆う、ことが望ましい。
- [0020] また、上記各態様のMISトランジスタは、単一のトランジスタで構成することが望ましい。

また、上記各態様のMISトランジスタにおいて、上記半導体基板はシリコン基板であり、上記主面及び上記少なくとも二つの異なる結晶面は、(100)面、(110)面、または(111)面の内の、少なくとも互いに異なる何れか二つの結晶面である、ように構成することが望ましい。

- [0021] このように構成することによって、MISトランジスタの上記ゲート絶縁膜に沿って生成されるチャネルは上記少なくとも二つの異なる結晶面に沿って生成されるようになる。そして、このように構成されるMISトランジスタにおいては、その素子面積を直接的に大きくする結晶面と異なる方向に対してチャネル幅を獲得できるようになる。また、そのゲート絶縁膜に沿って生成されるチャネルにおいて、チャネル幅の単位長さあたりの、トランジスタを駆動させるために有効となるエネルギー量の低下を抑制することが可能になる。
- [0022] さらに、上記各態様のMISトランジスタにおいて、上記ゲート絶縁膜は上記シリコン基板の表面を所定の不活性ガスによるプラズマに曝して水素を除去することにより形成され、上記シリコン基板と上記ゲート絶縁膜との界面における上記水素の含有量が面密度換算で $10^{11}/\text{cm}^2$ 以下となる、ように形成されることが望ましい。
- [0023] このように構成することによって、そのゲート絶縁膜に沿って生成されるチャネルにおいて、チャネル幅の単位長さあたりの、トランジスタを駆動させるために有効となるエネルギー量の低下を抑制させることができることが大幅に可能になる。
- [0024] さらに、チャネルが凸部に沿って形成されることにより、トランジスタ特性における飽和領域でのピンチオフ点(チャネルキャリア密度が略0になる点)の移動による、実効ゲート長の減少及びドレイン電流の上昇というチャネル長変調効果を抑えることができる。
- [0025] 本発明のCMOSトランジスタの態様の一つは、nチャネルMOSトランジスタが半導体基板の正面に対してのみ形成される、ことを前提とし、上述した各態様のMISトランジスタにおいて、上記ゲート絶縁膜を酸化膜とし、上記同一導電型拡散領域をp型拡散領域としたものを、pチャネルMOSトランジスタとして構成する。
- [0026] また、本発明のCMOSトランジスタの態様のその他の一つは、(100)結晶面を正面に有するシリコン基板上にnチャネルMOSトランジスタとpチャネルMOSトランジスタが構成されることを前提とし、上記nチャネルMOSトランジスタは、上記正面のみの一部を覆うゲート酸化膜と、上記シリコン基板と電気的に絶縁されるように上記ゲート酸化膜を介して上記正面に構成されるゲート電極と、上記正面に面して上記シリコン基板中に形成され、かつ上記ゲート電極の両側にそれぞれ形成されるn型拡散領域

と、によって構成され、上記pチャネルMOSトランジスタは、上述した各様のMISトランジスタにおいて、上記同一導電型拡散領域がp型拡散領域であり、上記ゲート絶縁膜がゲート酸化膜であり、上記少なくとも二つの結晶面の内、一方の結晶面が上記(100)結晶面であり、他方の結晶面が(110)結晶面である、ように構成する。

- [0027] なお、上記CMOSトランジスタの各様では、上記pチャネルMOSトランジスタ及び上記nチャネルMOSトランジスタにおいて、各々の電流駆動能力は平衡し、かつ各々の素子面積は同一である、ように構成することが望ましい。
- [0028] このように構成することによって、CMOSトランジスタの素子面積を直接的に大きくしているpチャネルMOSトランジスタにおいて、その素子面積を直接大きくする結晶面とは異なる方位に配向する結晶面にゲート絶縁膜を形成することができる。そのため、上記pチャネルMOSトランジスタにおいては、ゲート絶縁膜に沿って生成されるチャネルのチャネル幅を上記素子面積を直接的に大きくする方位とは異なる方位に生成させることができる。よって、上記pチャネルMOSトランジスタの電流駆動能力と上記nチャネルMOSトランジスタの電流駆動能力とを、互いのMOSトランジスタの素子面積をばらつかせることなく一致させることができるとなる。
- [0029] そして、pチャネルMOSトランジスタにおいて上記少なくとも二つの異なる結晶面に沿ってチャネル幅を獲得できるため、主面のみに形成されたnチャネルMOSトランジスタと素子面積及び電流駆動能力を略一致させることができるとなる。

図面の簡単な説明

- [0030] 本発明は、後述する詳細な説明を、下記の添付図面と共に参照すればより明らかになるであろう。

[図1]ラジアルラインスロットアンテナを用いたプラズマ処理装置の一例を示す断面図である。

[図2]図1のシリコン基板103表面におけるシリコン-水素結合を赤外分光器により分析した結果である。

[図3]図1の処理室101内のKr/O₂の圧力比を97/3に保持しつつガス圧力を変化させた場合に形成される酸化膜の厚さの、処理室内圧力との関係である。

[図4]Kr/O₂プラズマ酸化膜の成長レートと熱酸化膜の成長レートとの比較図である

。

[図5]Kr/O₂プラズマ酸化膜と熱酸化膜との界面準位密度の比較図である。

[図6]pチャネルMOSトランジスタの構成例である。

[図7]図6の一部を取り出して示した図である。

[図8]CMOSトランジスタの構成例である。

[図9]図8の一部を取り出して示した図である。

[図10A]ドレイン電圧対規格化ドレイン電流特性である。

[図10B]ドレイン電圧対規格化ドレイン電流特性である。

[図10C]ドレイン電圧対規格化ドレイン電流特性である。

発明の実施をするための最良の形態

[0031] 以下、本発明の好ましい実施の形態について、図面を参照して具体的に説明する

。

本発明の実施の形態におけるトランジスタはMIS(Metal—Insulator—Semiconductor)構造によって構成される。

[0032] そして、そのMISトランジスタのゲート絶縁膜は、特開2002-261091号公報に開示されている、MISトランジスタのゲート絶縁膜を高性能電気特性を持たせて薄く形成するゲート絶縁膜薄膜形成技術を取り入れて形成する。

[0033] そこで、先ず始めに、上記MISトランジスタのゲート絶縁膜薄膜形成方法について説明する。

なお、上記MISトランジスタのゲート絶縁膜の種類に関しては、上記特開2002-261091号公報に開示されているように酸化膜や窒化膜や酸窒化膜などがあり、半導体基板にもシリコンやゲルマニウムなどのように異なる結晶面を有する多種類の基板がある。そのため、本発明の実施の形態において上記何れの種類のゲート絶縁膜或いは半導体基板を使用することもできるが、説明の理解を容易にするために、以下の説明では、半導体基板を(100)面、(110)面、或いは(111)面の内の少なくとも何れか二つの結晶面を表面に有するシリコン(Si)基板とし、ゲート絶縁膜を酸化膜とした、MOS(Metal—Oxide—Semiconductor)構造のトランジスタを例に説明することにする。

[0034] 図1は、ラジアルラインスロットアンテナを用いたプラズマ処理装置100の一例を示す断面図である。

本ゲート絶縁膜薄膜形成方法においては、シリコン表面の未結合手を終端している水素を除去するのに、次の酸化膜形成工程でプラズマ励起ガスとして使われるKrを使用し、同一処理室内で連続して表面終端水素除去処理と酸化処理とを行う。

[0035] 先ず、真空容器(処理室)101内を真空にし、次にシャワープレート102から最初にアルゴン(Ar)ガスを導入し、それをクリプトン(Kr)ガスに切替える。さらに、上記処理室101内の圧力を133Pa(1Torr)程度に設定する。

[0036] 次にシリコン基板103を、加熱機構を持つ試料台104に置き、試料の温度を400°C程度に設定する。上記シリコン基板103の温度が200–550°Cの範囲内であれば、以下に述べる結果はほとんど同様のものとなる。上記シリコン基板103は、直前の前処理工程において希フッ酸洗浄が施され、その結果表面のシリコン未結合手が水素で終端されている。

[0037] 次に同軸導波管105からラジアルラインスロットアンテナ106に周波数が2.45GHzのマイクロ波を供給し、上記マイクロ波を上記ラジアルラインスロットアンテナ106から処理室101の壁面の一部に設けられた誘電体板107を通して、上記処理室101内に導入する。導入されたマイクロ波は上記シャワープレート102から上記処理室101内に導入されたKrガスを励起し、その結果上記シャワープレート102の直下に高密度のKrプラズマが形成される。供給するマイクロ波の周波数が900MHz程度以上約10GHz程度以下の範囲にあれば、以下に述べる結果はほとんど同様のものとなる。

[0038] 図1の構成においてシャワープレート102と基板103の間隔は、本実施形態では6cmに設定する。この間隔は狭いほうがより高速な成膜が可能となる。

なお、本実施形態では、ラジアルラインスロットアンテナを用いたプラズマ装置を用いて成膜した例を示しているが、他の方法を用いてマイクロ波を処理室内に導入してプラズマを励起してもよい。

[0039] 上記シリコン基板103をKrガスで励起されたプラズマに曝すことにより、上記シリコン基板103の表面は低エネルギーのKrイオン照射を受け、その表面終端水素が除去

される。

- [0040] 図2は上記シリコン基板103表面におけるシリコン-水素結合を赤外分光器により分析した結果であり、上記処理室101中にマイクロ波を133Pa(1Torr)の圧力下、 1.2W/cm^2 のパワーで導入することで励起したKrプラズマによる、シリコン表面終端水素の除去効果を示す。
- [0041] 図2を参照するに、わずか1秒程度のKrプラズマ照射でシリコン-水素結合に特徴的な波数 2100cm^{-1} 付近の光吸収がほとんど消滅し、約30秒の照射ではほぼ完全に消滅するのがわかる。すなわち、約30秒のKrプラズマ照射により、シリコン表面を終端していた水素が除去できることがわかる。本実施形態では、1分間のKrプラズマ照射を施して、表面終端水素を完全に除去する。
- [0042] 次に、上記シャワープレート102から97/3の分圧比のKr/O₂混合ガスを導入する。この際、処理室内の圧力は133Pa(1Torr)程度に維持しておく。KrガスとO₂ガスが混合された高密度励起プラズマ中では、中間励起状態にあるKr*とO₂分子が衝突し、原子状酸素O*を効率よく大量に発生できる。
- [0043] 本例では、この原子状酸素O*により上記シリコン基板103の表面を酸化する。本薄膜形成方法を用いることにより、原子状酸素による酸化処理では、400°C程度の非常に低い温度での酸化が可能となる。Kr*とO₂の衝突機会を大きくするには、処理室圧力は高い方が望ましいが、あまり高くすると、発生したO*同志が衝突し、O₂分子に戻ってしまう。当然、最適ガス圧力が存在する。
- [0044] 図3に、処理室内のKr/O₂の圧力比を97/3に保持しつつ、上記処理室101内のガス圧力を変化させた場合の、形成される酸化膜の厚さと処理室内圧力との関係を示す。ただし図3では、シリコン基板103の温度を400°Cに設定し、10分間の酸化処理を行っている。
- [0045] 図3を参照するに、上記処理室101内の圧力が約133Pa(1Torr)の時に最も酸化速度は速くなり、この圧力ないしはその近傍の圧力条件が最適であることがわかる。この最適圧力は、上記シリコン基板103の表面が(100)面方位に配向した結晶面である場合に限らず、シリコン表面がどの面方位に配向した結晶面であっても同じである。

- [0046] 所望の膜厚のシリコン酸化膜が形成されたところでマイクロ波パワーの導入を止めプラズマ励起を終了し、さらにKr/O₂混合ガスをArガスに置換して酸化工程を終了する。本工程の前後にArガスを使用するのはKrより安価なガスをバージガスに使用するためである。本工程に使用されたKrガスは回収再利用する。
- [0047] 以上のKr/O₂プラズマ酸化膜形成に続いて、既知の電極形成工程、保護膜形成工程、水素シンタ処理工程等を施してMOSトランジスタやキャパシタを含む半導体集積回路装置を完成することができる。
- [0048] 上記の手順で形成されたシリコン酸化膜中の水素含有量を昇温放出により測定したところ、3nmの膜厚のシリコン酸化膜において面密度換算で10¹²/cm²程度以下であった。特にリーク電流が少ない酸化膜においてはシリコン酸化膜内の水素含有量は、面密度換算で10¹¹/cm²程度以下であることが確認された。一方、酸化膜形成前にKrプラズマの暴露を行わなかった酸化膜は面密度換算で10¹²/cm²を超える水素を含んでいた。
- [0049] また、上記の手順で形成されたシリコン酸化膜を剥離した後のシリコン表面と酸化膜形成前のシリコン表面の粗さを原子間力顕微鏡で測定して比較したところ、シリコン表面の荒さが変化していないのが確認された。すなわち、終端水素を除去して酸化した後でもシリコン表面が荒れることはない。
- [0050] 本ゲート絶縁膜薄膜形成方法によると、シリコン基板とMOSトランジスタのゲート絶縁膜として形成されるシリコン酸化膜との、界面に残留する水素が除去され、その界面が平坦化される。この平坦化により、その界面における低界面準位密度を実現することができ、ゲート絶縁膜が薄膜化されても良好な電気特性(低リーク電流特性、低界面準位密度、高耐圧性、高ホットキャリア耐性、均一なしきい値電圧特性など)が得られるようになっている。また、さらに、如何なる面方位に形成されたゲート絶縁膜もそれらの面方位に対して良好な電気特性を得る事もできるようになる。
- [0051] ここで、本発明の実施の形態の一例として示されるMOSトランジスタの構成において後述する立体構造にすることの有効性を示唆するために、上記異なる面方位(結晶面)に対する解析結果の一例を以下に説明する。
- [0052] 図4は、図1のプラズマ処理装置100によりシリコン基板の3つの結晶面、すなわち(

(100)面、(111)面、および(110)面、を酸化した場合のKr/O₂プラズマ酸化膜の成長レートを熱酸化膜の成長レートと比較して示している。

[0053] 図4を参照するに、Kr/O₂プラズマ酸化膜では熱酸化膜の場合よりもはるかに大きな成長レートが得られており、活性な原子状酸素O*を使ったSi基板の酸化が非常に効率良く進むことが示されている。さらに図4より、Kr/O₂プラズマ酸化膜では、Si原子の面密度がより大きな(111)面、(110)面上での成長レートが、(100)面上での成長レートよりも小さくなっている事が分かる。これは原料供給律速プロセスから導かれる帰結と一致しており、このようにして形成したプラズマ酸化膜は、優れた膜質を有している事が示唆される。

[0054] これに対し、Si基板の(111)面、(110)面上に熱酸化膜を形成した場合には、(100)面上に熱酸化膜を形成した場合よりも酸化膜の成長レートが大きくなっており、(111)面、(110)面上に形成されている熱酸化膜は膜質が劣ることを示唆している。

[0055] 続く図5は、このようにして形成されたKr/O₂プラズマ酸化膜と熱酸化膜との界面準位密度を比較した結果を示す。

図5を参照するに、Kr/O₂プラズマ酸化膜ではシリコンの(100)面上に形成された場合でも(111)面、(110)面上に形成された場合でも、界面準位密度は(100)面上に形成された熱酸化膜の界面準位密度よりも低く、非常に高品質な酸化膜が得られているのがわかる。

[0056] これに対し、シリコンの(111)面、(110)面上に形成された熱酸化膜では、図4の結果から予測された通り界面準位密度が非常に大きく、本例に示すMOSトランジスタのゲート絶縁膜に使用した場合には、キャリアの捕獲によるしきい値電圧の変化やゲートリーク電流の増大など、様々な問題が生じると考えられる。

[0057] こうして、上記ゲート絶縁膜薄膜形成方法をMOSトランジスタのゲート絶縁膜の形成手段として適用することにより、シリコン基板の(100)面のみならず(110)面や(111)面に対してゲート絶縁膜を形成することの有効性が本発明の実施の形態において示唆された。

[0058] 次に、上述した有効性に裏づけされた本発明の実施の形態のMISトランジスタの構成について以下に詳しく説明する。

- 図6、図7は、立体構造にしたpチャネルMOSトランジスタの構成例である。
- [0059] ただし図7は、図6の一部を取り出して示した図である。
- 図6に一例として示したpチャネルMOSトランジスタ700は、図7に示すようにp型領域が形成された(100)面を主面とするSi基板702に形成されている。
- [0060] 図7に示すように、上記Si基板702のp型領域には幅がWで高さがHの凸部704が形成される。同図に示されているように上記凸部704の頂面は(100)面により、両側壁面は(110)面により構成されてなる。
- [0061] 図6のSi基板702上には、先に図1で説明したプラズマ処理装置100によりシリコン酸化膜が一様に形成されており、さらにその上に、図6に示すポリシリコンゲート電極706がSi基板702の上記p型領域に形成されている。さらにかかるゲート電極706のパターニングに伴って上記シリコン酸化膜もパターニングされ、上記ゲート電極706に対応してゲート絶縁膜708が同図に示す太い実線と破線で囲まれた面に形成される。
- [0062] さらに図6のpチャネルMOSトランジスタ700では、上記p型領域において上記ゲート電極706を自己整合マスクにp型不純物をイオン注入することにより、上記ゲート電極706の両側に、上記凸部704をも含んでp型拡散領域710aおよび710bが同図に示されるように形成される。その結果、上記Si基板702上の上記p型領域にpチャネルMOSトランジスタ700が形成される。
- [0063] 本例に示すpチャネルMOSトランジスタ700では、ゲート長Lを有し、上記ゲート電極706は、Si基板702の平坦部を、上記凸部704のそれぞれの側において、ゲート幅 $W'/2$ で覆う。その結果、上記ゲート電極706の(100)面上におけるゲート幅は、上記凸部704Aの頂部を含めて、 $W+W'$ により与えられる。これに対し、上記ゲート電極706の(110)面上におけるゲート幅は両側壁面に形成されているので $2H$ で与えられる。
- [0064] そして、このように構成されるpチャネルMOSトランジスタにおいて電圧が印加されると、同図に斜線で示したように、正孔が移動するチャネルがゲート絶縁膜708に沿ってSi基板702中に生成される。
- [0065] 上述した構成によると、上記p型領域に形成されるpチャネルMOSトランジスタ700

の電流駆動能力は、式 $\mu_{p1}(W+W') + 2\mu_{p2}H$ により与えられるようになる。ただし μ_{p1} は、(100)面における正孔移動度を、 μ_{p2} は(110)面における正孔移動度を表す。

- [0066] なお、本例に示したpチャネルMOSトランジスタの構成においては、主面となる(100)面以外の結晶面を構成するために両側壁面を有する凸状の構成としたが、この側壁面を片面のみとする構成としても良い。
- [0067] また、上記W'が上記Hに対して十分小さくなるようにゲート幅を構成することにより素子面積を十分に小さくすることもできる。この場合には、チャネル幅はHとWの長さのみに依存させることができる。
- [0068] 以上のように構成したpチャネルMOSトランジスタにおいては、異なる面方位を有する半導体基板とゲート絶縁膜とのそれぞれの界面で低界面準位密度を実現でき、フリッカ雑音を低減できる。また、さらに、同図の斜線で示したチャネル構造をとることによって、チャネル長変調効果を低減させることができるので、良好な電気的特性が安定して得られる。このように凸状に構成されたMOSトランジスタは素子毎の電気的特性のバラツキを低下させ、より安定な素子となる。
- [0069] さらに、このように上記立体構造にしたpチャネルMOSトランジスタでは、pチャネルMOSトランジスタのゲート幅を半導体基板の主面(例えば(100)面など)だけではなく上述したように異なる方位面に配向する結晶面(例えば(110)面など)に対しても獲得できる。また、主面を使用せずに上記凸部のみでゲート幅を獲得することもできる。そのため、p型拡散領域710a及び710bの間にゲート絶縁膜に沿って生成されるチャネルは、主面以外の他の結晶面においても生成されることとなる。
- [0070] このように、上記チャネルにおける電気的特性は上述したように何れの結晶面に対しても良好である(すなわち、チャネル幅の単位長さあたりの、トランジスタを駆動させるために有効となるエネルギー量の低下が抑制される)ため、上記W+W'の値に替わってHの値を大きくとって同図の上方向に対してチャネル幅を稼ぐことができ、pチャネルMOSトランジスタの素子面積を実質的に小さくすることが可能となる。
- [0071] なお、上記構成例ではSi基板の(100)面を主面として(110)面を側壁面としたが、(100)面、(110)面、(111)面を任意に組み合わせてトランジスタを構成してもよく、

何れの場合であっても上述した効果が同様に得られる。

- [0072] また、上記構成例ではpチャネルMOSトランジスタについて説明したが、nチャネルMOSトランジスタにおいても上記同様に立体構造にすることができ、上記同様な効果を得る事ができる。
- [0073] 次に、上記立体構造のMOSトランジスタの構成を移動度の小さいpチャネルMOSトランジスタのみに適用したCMOS(Complementary Metal Oxide Semiconductor)トランジスタの構成を示す。
- [0074] 図8、9は、pチャネルMOSトランジスタ及びnチャネルMOSトランジスタからなるCMOSトランジスタの構成例である。
- ただし図9は、図8の一部を取り出して示した図である。
- [0075] 図8のCMOSトランジスタ900は、図9に示されるように素子分離領域905により隔てられたn型領域Aとp型領域Bとが形成された(100)面を正面とするSi基板910上に形成されており、p型領域Bには幅が W_{1B} で両側壁面の高さが H_B の凸部910Bが形成されている。図9よりわかるように、上記凸部910Bの頂面は(100)面により、側壁面は(110)面により画成されている。
- [0076] 図9のSi基板910上には、先に図1で説明したプラズマ処理装置100によりシリコン酸化膜が一様に形成されており、さらにその上に、図8に示すポリシリコンゲート電極930Aおよび930Bが、それぞれ領域Aおよび領域B上に形成されている。さらにかかるゲート電極930Aおよび930Bのパターニングに伴って上記シリコン酸化膜もパターニングされ、上記ゲート電極930Aに対応してゲート絶縁膜920Aが、またゲート電極930Bに対応してゲート絶縁膜920Bが、同図に示される太い実線及び破線に囲まれた面に形成される。
- [0077] さらに図8のCMOSトランジスタ900では、上記n型領域Aにおいて、上記ゲート電極930Aを自己整合マスクにn型不純物をイオン注入することにより、上記ゲート電極930Aの両側にn型拡散領域910aおよび910bが形成される。また、上記p型領域Bにおいては上記ゲート電極930Bの両側に、上記凸部910Bをも含んでp型拡散領域910cおよび910dが形成される。その結果、上記Si基板910上には上記n型領域AにnチャネルMOSトランジスタ940Aが、また上記p型領域BにpチャネルMOSト

ンジスタ940Bが形成される。

- [0078] 本例に示すCMOSトランジスタ900では、nチャネルMOSトランジスタ940Aはゲート長 L_{gA} を有し、またpチャネルMOSトランジスタ940Bはゲート長 L_{gB} を有する。
- [0079] 本例に示すnチャネルMOSトランジスタにおいては、上記ゲート電極930AがSi基板910の(100)面を同図に示すように幅 W_A で覆う。その結果、nチャネルMOSトランジスタのゲート幅は W_A によって与えられる。
- [0080] また、他方のpチャネルMOSトランジスタにおいては、上記ゲート電極930Bは、Si基板910の平坦部を、上記凸部910Bのそれぞれの側において、ゲート幅 $W_{2B}/2$ で覆う。その結果、当該pチャネルMOSトランジスタにおいては、上記ゲート電極930Bの(100)面上におけるゲート幅は上記凸部910Bの頂部を含めて $W_{1B} + W_{2B}$ により与えられ、上記ゲート電極930Bの(110)面上におけるゲート幅は両側壁面に形成されているので $2H_B$ によって与えられる。
- [0081] そして、このように構成されるCMOSトランジスタに電圧が印加されると、同図に斜線で示したように、n型領域Aにおいては電子が移動するチャネルがゲート絶縁膜920Aに沿ってSi基板910中に生成され、p型領域Bにおいては正孔が移動するチャネルがゲート絶縁膜920Bに沿ってSi基板910中に生成される。
- [0082] 上述した構成によると、上記n型領域Aに形成されるnチャネルMOSトランジスタ940Aの電流駆動能力は、式 $\mu_{n1} W_A$ により与えられるようになる。ただし μ_{n1} は、(100)面における電子移動度を表す。
一方、上記p型領域Bに形成されるpチャネルMOSトランジスタ940Bの電流駆動能力は、式 $\mu_{p1} (W_{1B} + W_{2B}) + 2\mu_{p2} H_B$ により与えられるようになる。ただし μ_{p1} は、(100)面におけるホール移動度を、 μ_{p2} は(110)面におけるホール移動度を表す。
- [0083] そこで、本例に示す立体構造のCMOSトランジスタ900では、上記pチャネルMOSトランジスタ940Bの凸部910Bの幅及び高さを、式 $\mu_{n1} W_A = \mu_{p1} (W_{1B} + W_{2B}) + 2\mu_{p2} H_B$ が満足されるように設定することで、nチャネルMOSトランジスタ940Aの電流駆動能力とpチャネルMOSトランジスタ940Bの電流駆動能力とを平衡させることができるようになる。
- [0084] 特に、かかる構成において、 $W_A = W_{1B} + W_{2B}$ 、 $L_{gA} = L_{gB}$ として上記凸部910Bの高

さ H_B を上記式が満足されるように設定すれば、nチャネルMOSトランジスタ940AとpチャネルMOSトランジスタ940Bとの素子面積を同一にして、互いの電流駆動能力を平衡させることができるようになる。

- [0085] なお、本例に示したpチャネルMOSトランジスタの構成においては、主面となる(100)面以外の結晶面を構成するために両側壁面を有する凸状の構成としたが、この側壁面を片面のみとする構成としても良い。
- [0086] 以上のように構成したCMOSトランジスタにおいては半導体基板とゲート絶縁膜との界面で低界面準位密度を実現できるので、フリッカ雑音を低減でき、良好な電気的特性が安定して得られる。そのため、このように構成されたCMOSトランジスタは、素子における電気的特性のバラツキを低下させた、より安定な素子となりうる。特に、nチャネルMOSトランジスタとpチャネルMOSトランジスタとの電流駆動能力を一致させることができるので、互いのMOSトランジスタの電気的特性のばらつきによる駆動能力の低下等を抑えることが可能となる。
- [0087] さらに、pチャネルMOSトランジスタを立体構造にしたCMOSトランジスタでは、pチャネルMOSトランジスタのゲート幅をSi基板の主面(例えば(100)面など)だけではなく主面に形成した凸部の異なる方位面に配向する結晶面(例えば(110)面など)に対しても獲得できる。そのため、p型拡散領域910c及び910dの間にゲート絶縁膜に沿って生成されるチャネルは、半導体基板の主面のみならずその他の結晶面においても生成されることとなる。そして、上記チャネルにおける電気的特性は上述したように何れの結晶面に対しても良好である(すなわち、チャネル幅の単位長さあたりの、トランジスタを駆動させるために有効となるエネルギー量の低下が抑制される)ため、上記式 $W_{1B} + W_{2B}$ の値に替わって H_B の値を大きくとって同図の上方向に対してチャネル幅を稼ぐことができ、nチャネルMOSトランジスタの素子面積に合わせてpチャネルMOSトランジスタの素子面積を小さくすることが可能となる。
- [0088] なお、上記構成例ではSi基板の(100)面を主面として(110)面を側壁面としたが、(100)面、(110)面、(111)面を任意に組み合わせてトランジスタを構成してもよく、何れの場合であっても上述した効果が同様に得られる。
- [0089] 図10A～10Cは、シリコン基板のそれぞれ(100)面、(111)面、および(110)面上

に、図1のプラズマ処理装置100によりシリコン酸化膜を形成し、かかるシリコン酸化膜をゲート絶縁膜としてpチャネルMOSトランジスタを形成した場合のドレイン電圧対規格化ドレイン電流特性である。ただし図10A、10Bでは、シリコン酸化膜を上記Kr/O₂プラズマ処理により形成した場合と熱酸化処理により形成した場合の両方を示している。これに対し、図10Cでは、熱酸化処理では(110)面上に酸化膜が形成できないため、Kr/O₂プラズマ処理により形成したゲート酸化膜の例のみを示している。図10Aの結果は、ゲート長が10 μmでゲート幅が50 μmのpチャネルMOSトランジスタについてのものであり、図10B、10Cの結果は、ゲート長が10 μmでゲート幅が300 μmのpチャネルMOSトランジスタについてのものである。

[0090] 図10A～10Cを参照するに、pチャネルMOSトランジスタのドレイン電流、従って相互コンダクタンスないし電流駆動能力は、トランジスタをシリコンの(100)面以外の結晶面、例えば(111)面あるいは(110)面上に形成することにより増大させることが可能であること、特にpチャネルMOSトランジスタをシリコンの(111)面上に形成した場合に(100)面上に形成したpチャネルMOSトランジスタの約1.3倍の電流駆動能力が得られること、また(110)面上に形成した場合には約1.8倍の電流駆動能力が得られることがわかる。

[0091] 以上のデータにおいても示される通り、図6及び図8に異なる方位面に配向した結晶面を使って立体構造で構成されたMOSトランジスタの電流駆動能力は高いことが実証される。

[0092] なお、上述した立体構造のMISトランジスタやCMOSトランジスタは様々な回路に適用できる。

例えば、本発明の実施形態のCMOSトランジスタをパストランジスタ回路やインバータ回路やプッシュプル増幅器などに適用できる。この場合、CMOSトランジスタに構成されるpチャネルMOSトランジスタ及びnチャネルMOSトランジスタのスイッチング特性等を揃えることが可能になるため、そこから出力される出力信号歪を大幅に低減できる。

[0093] また、例えばデジタル回路のNAND回路、NOR回路などに適用することも可能である。

さらに、上述した回路にはCMOSトランジスタを使用せずにnチャネルMOSトランジスタまたはpチャネルMOSトランジスタを適用することも可能である。

[0094] また、本発明の実施の形態におけるMISトランジスタ或いはCMOSトランジスタは、アナログ回路にも当然適用できる。

以上述べたように、本発明の実施形態によれば、素子面積を決定する所定の結晶面に突出して形成される他の結晶面に対してチャネル幅を獲得できる。そして、夫々の結晶面に沿って生成されるチャネルにおいて、チャネル幅の単位長さあたりの、トランジスタを駆動するために有効となるエネルギー量の低下を大幅に抑制できる。そのため、素子面積の増大を抑制しながら、さらなるチャネル幅の獲得が実質的に可能なものとなる。

[0095] また、CMOSトランジスタの素子面積を直接的に大きくしているpチャネルMOSトランジスタの素子面積を小さく形成できるので、CMOSトランジスタを小型化することが可能となる。

[0096] さらに、pチャネルMOSトランジスタの素子面積をnチャネルMOSトランジスタの素子面積に近づける、或いは同等の大きさにした場合においても、pチャネルMOSトランジスタの素子面積を広げる方向とは異なる方向にチャネルを生成させているので、互いの電流駆動能力を素子面積をばらつかせることなく一致させることが可能となる。

[0097] なお、本発明は、その精神または主要な特徴から逸脱することなく、他のいろいろな形で実施することができる。そのため、前述の実施例はあらゆる点で単なる例示にすぎず、限定的に解釈してはならない。本発明の範囲は、特許請求の範囲によって示すものであって、明細書本文には、なんら拘束されない。さらに、特許請求の範囲の均等範囲に属する変形や変更は、すべて本発明の範囲内のものである。

請求の範囲

- [1] 半導体基板に形成されるMISトランジスタであって、
表面が少なくとも二つの異なる結晶面を有する凸部を主面に対して構成する半導
体基板と、
前記凸部の表面を構成する前記少なくとも二つの異なる結晶面の各々の少なくとも
一部を覆うゲート絶縁膜と、
前記半導体基板と電気的に絶縁されるように前記ゲート絶縁膜を介して構成され、
かつ前記凸部の表面を構成する前記少なくとも二つの異なる結晶面の各々に対して
構成されるゲート電極と、
前記凸部の表面を構成する前記少なくとも二つの異なる結晶面の各々に面して前
記凸部中に形成され、かつ前記ゲート電極の両側にそれぞれ形成される同一導電
型拡散領域と、
を有することを特徴とするMISトランジスタ。
- [2] 前記ゲート電極の両側に夫々形成された前記同一導電型拡散領域間に前記ゲー
ト絶縁膜に沿って生成されるチャネルのチャネル幅は、前記少なくとも二つの異なる
結晶面に沿って生成される各チャネルのチャネル幅の総和で示される、
ことを特徴とする請求の範囲第1項に記載のMISトランジスタ。
- [3] 前記ゲート絶縁膜は、前記凸部の表面を構成する前記少なくとも二つの異なる結
晶面の各々の少なくとも一部を、前記少なくとも二つの異なる結晶面に渡って連続し
て覆う、ことを特徴とする請求の範囲第1項または第2項に記載のMISトランジスタ。
- [4] 半導体基板に形成されるMISトランジスタであって、
表面が少なくとも二つの異なる結晶面を有する凸部を主面に対して構成する半導
体基板と、
前記主面及び前記凸部の表面を構成する前記少なくとも二つの異なる結晶面の各
々の少なくとも一部を覆うゲート絶縁膜と、
前記半導体基板と電気的に絶縁されるように前記ゲート絶縁膜を介して構成され、
かつ前記主面及び前記凸部の表面を構成する前記少なくとも二つの異なる結晶面
の各々に対して構成されるゲート電極と、

前記主面及び前記凸部の表面を構成する前記少なくとも二つの異なる結晶面の各々に面して前記凸部中に形成され、かつ前記ゲート電極の両側にそれぞれ形成される同一導電型拡散領域と、

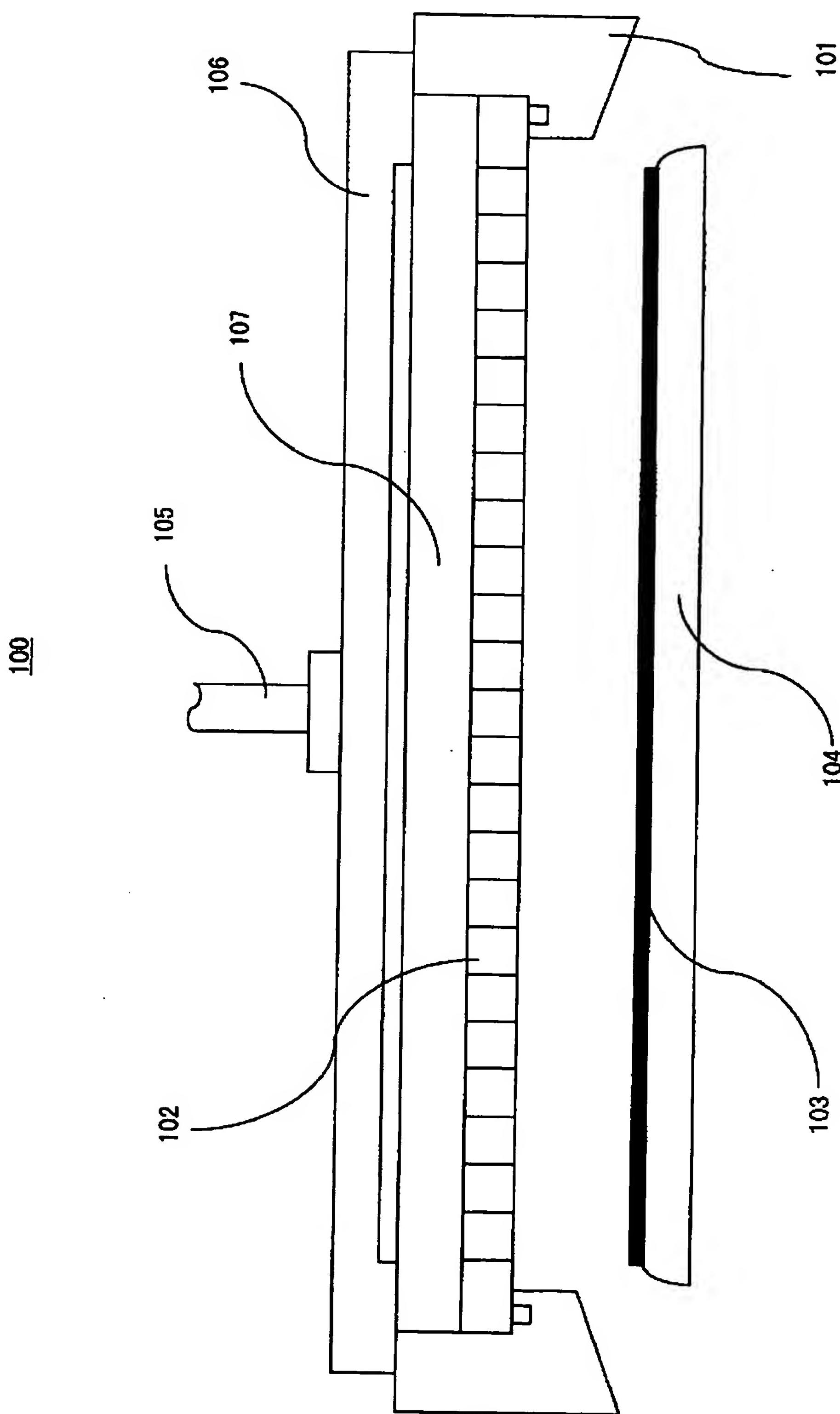
を有することを特徴とするMISトランジスタ。

- [5] 前記主面に沿って生成されるチャネルのチャネル幅が、前記少なくとも二つの結晶面の内の前記主面と異なる結晶面に沿って生成されるチャネルのチャネル幅によつて補われる、
ことを特徴とする請求の範囲第4項に記載のMISトランジスタ。
- [6] 前記ゲート絶縁膜は、前記主面及び前記凸部の表面を構成する前記少なくとも二つの異なる結晶面の各々の少なくとも一部を、前記主面及び前記少なくとも二つの異なる結晶面に渡って連続して覆う、ことを特徴とする請求の範囲第4項または第5項に記載のMISトランジスタ。
- [7] 請求の範囲第1項または第4項に記載のMISトランジスタは、单一のトランジスタである。
- [8] 前記半導体基板はシリコン基板であり、
前記ゲート絶縁膜は前記シリコン基板の表面を所定の不活性ガスによるプラズマに曝して水素を除去することにより形成され、前記シリコン基板と前記ゲート絶縁膜との界面における前記水素の含有量が面密度換算で $10^{11}/\text{cm}^2$ 以下となる、ことを特徴とする請求の範囲第1項または第4項に記載のMISトランジスタ。
- [9] 前記半導体基板はシリコン基板であり、
前記主面及び前記少なくとも二つの異なる結晶面は、(100)面、(110)面、または(111)面の内の、少なくとも互いに異なる何れか二つの結晶面である、
ことを特徴とする請求の範囲第8項に記載のMISトランジスタ。
- [10] nチャネルMOSトランジスタが半導体基板の主面に対してのみ形成された、前記nチャネルMOSトランジスタとpチャネルMOSトランジスタとからなるCMOSトランジスタであつて、
前記pチャネルMOSトランジスタは、
前記ゲート絶縁膜が酸化膜であり、

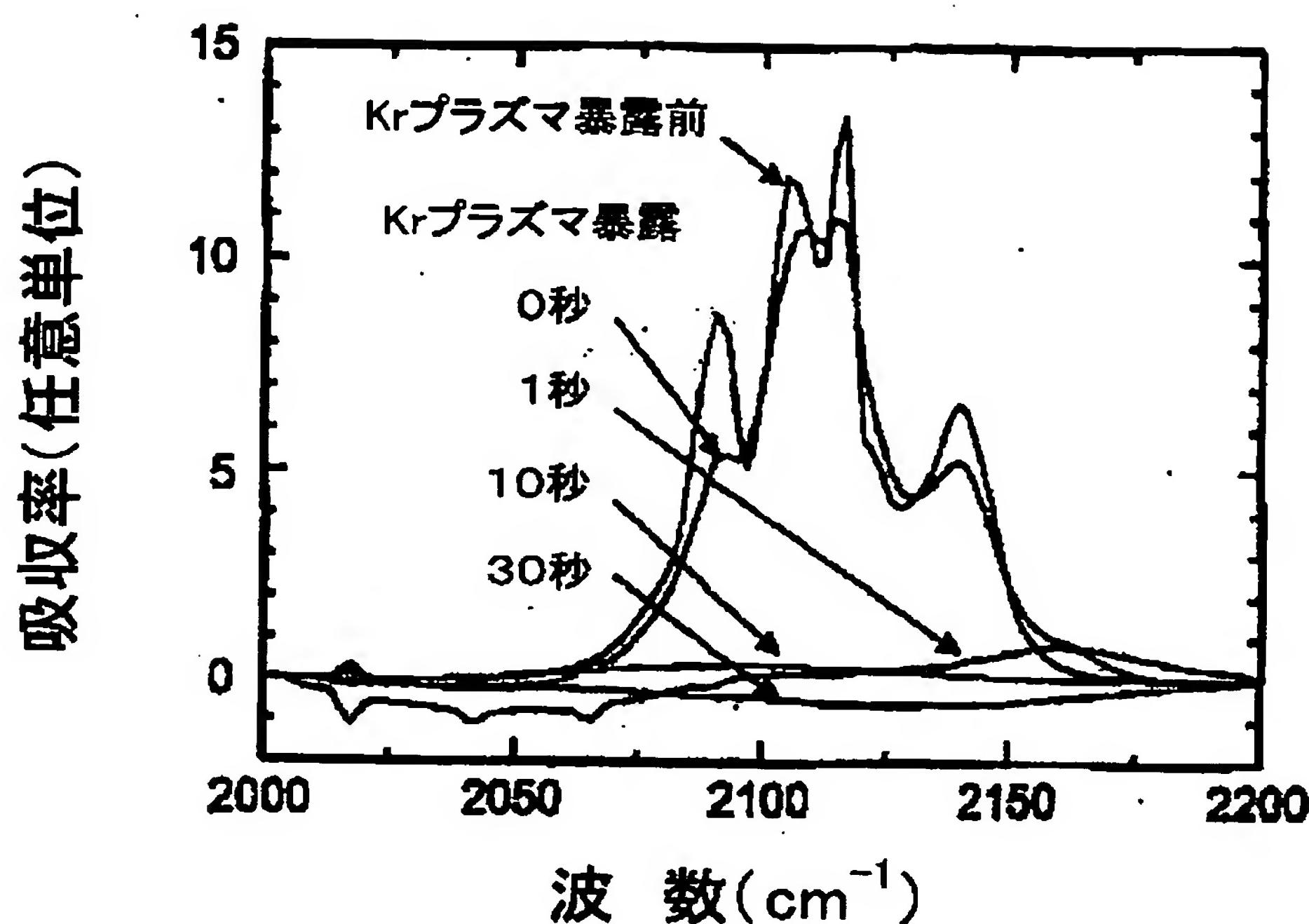
- 前記同一導電型拡散領域がp型拡散領域である、
請求の範囲第1項または第4項に記載のMISトランジスタによって構成される、
ことを特徴とするCMOSトランジスタ。
- [11] nチャネルMOSトランジスタが半導体基板の正面に対してのみ形成された、前記n
チャネルMOSトランジスタとpチャネルMOSトランジスタとからなるCMOSトランジス
タであって、
前記pチャネルMOSトランジスタは、
前記ゲート絶縁膜が酸化膜であり、
前記同一導電型拡散領域がp型拡散領域である、
請求の範囲第8項に記載のMISトランジスタによって構成される、
ことを特徴とするCMOSトランジスタ。
- [12] (100)結晶面を正面に有するシリコン基板上にnチャネルMOSトランジスタとpチャ
ネルMOSトランジスタが構成されるCMOSトランジスタであって、
前記nチャネルMOSトランジスタは、
前記正面のみの一部を覆うゲート酸化膜と、
前記シリコン基板と電気的に絶縁されるように前記ゲート酸化膜を介して前記正面
に構成されるゲート電極と、
前記正面に面して前記シリコン基板中に形成され、かつ前記ゲート電極の両側に
それぞれ形成されるn型拡散領域と、
によって構成され、
前記pチャネルMOSトランジスタは、
前記同一導電型拡散領域がp型拡散領域であり、
前記ゲート絶縁膜がゲート酸化膜であり、
前記少なくとも二つの結晶面の内、一方の結晶面が前記(100)結晶面であり、他
方の結晶面が(110)結晶面である、
請求の範囲第1項または第4項に記載のMISトランジスタによって構成される、
ことを特徴とするCMOSトランジスタ。
- [13] 前記pチャネルMOSトランジスタ及び前記nチャネルMOSトランジスタにおいて、

各々の電流駆動能力は平衡し、かつ各々の素子面積は同一である、ことを特徴とする請求の範囲第11項に記載のCMOSトランジスタ。

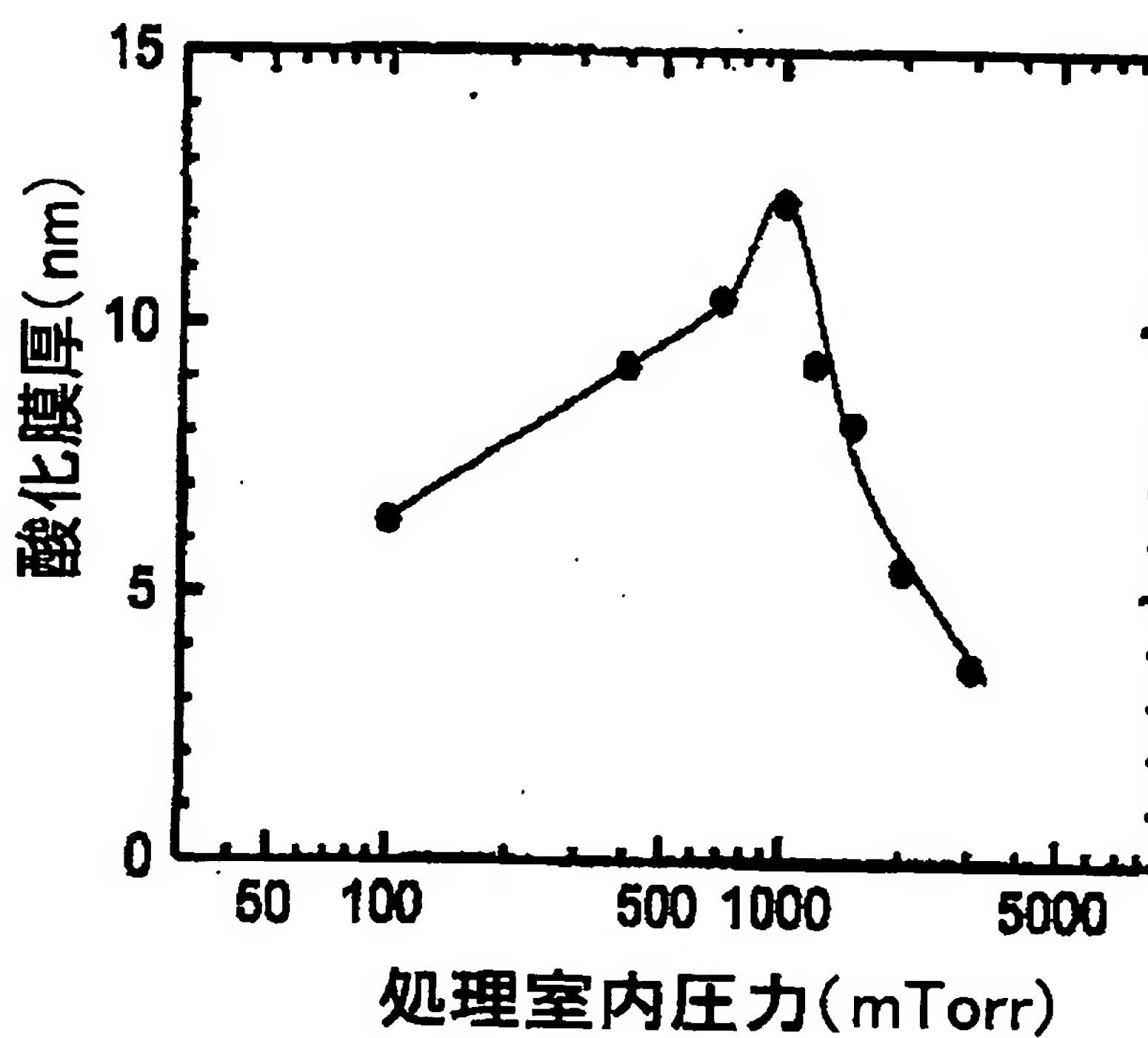
[図1]



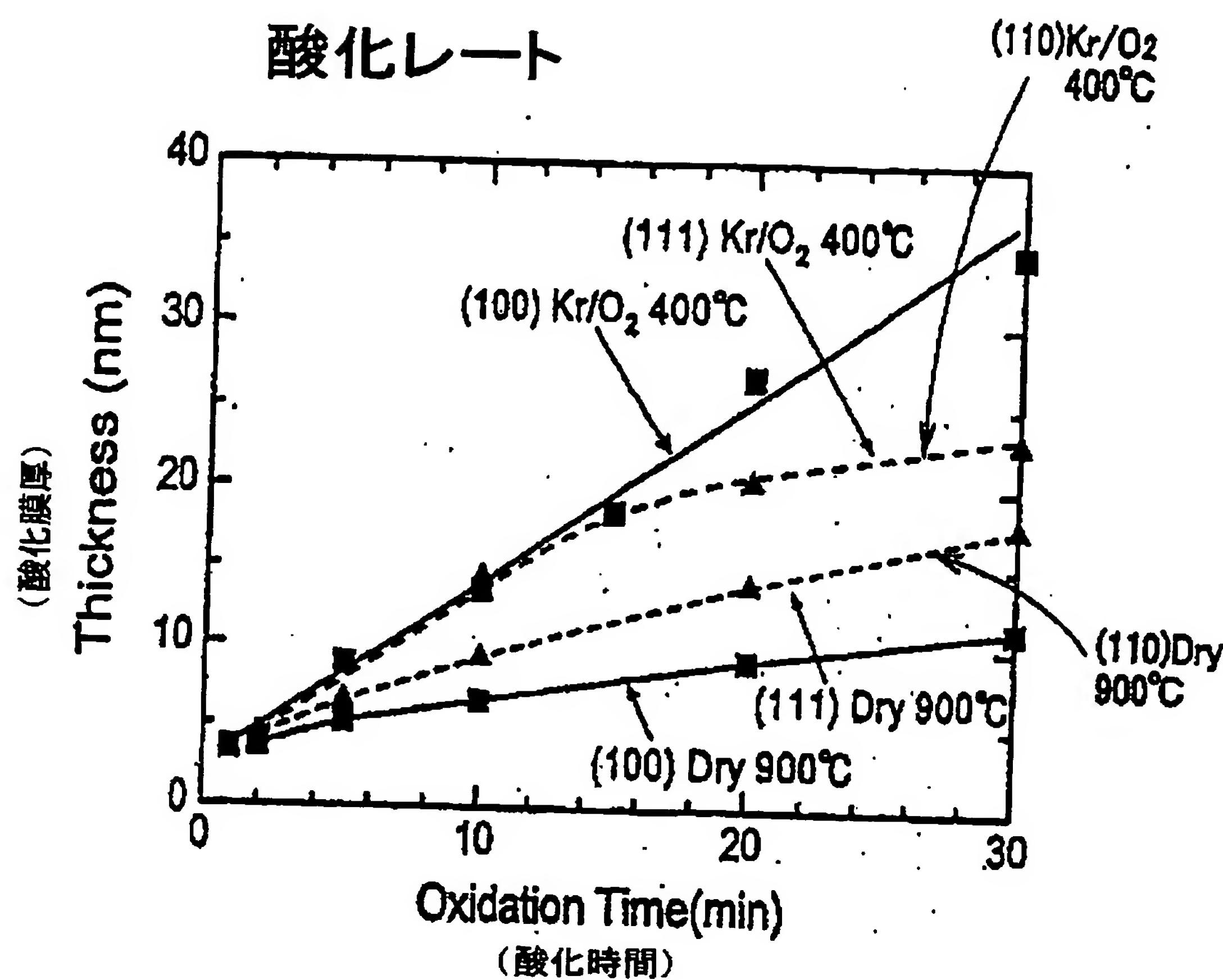
[図2]



[図3]

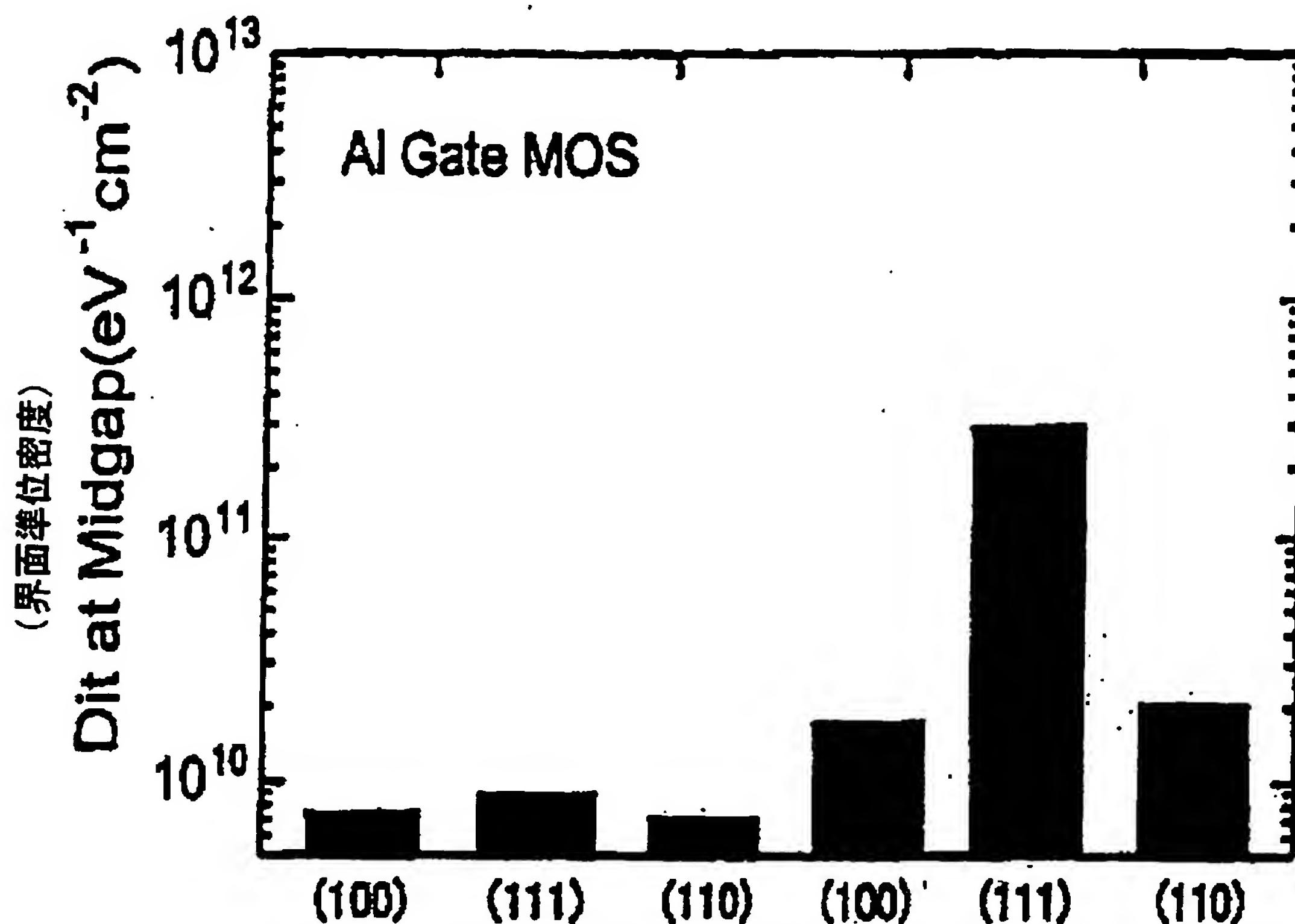


[図4]



[図5]

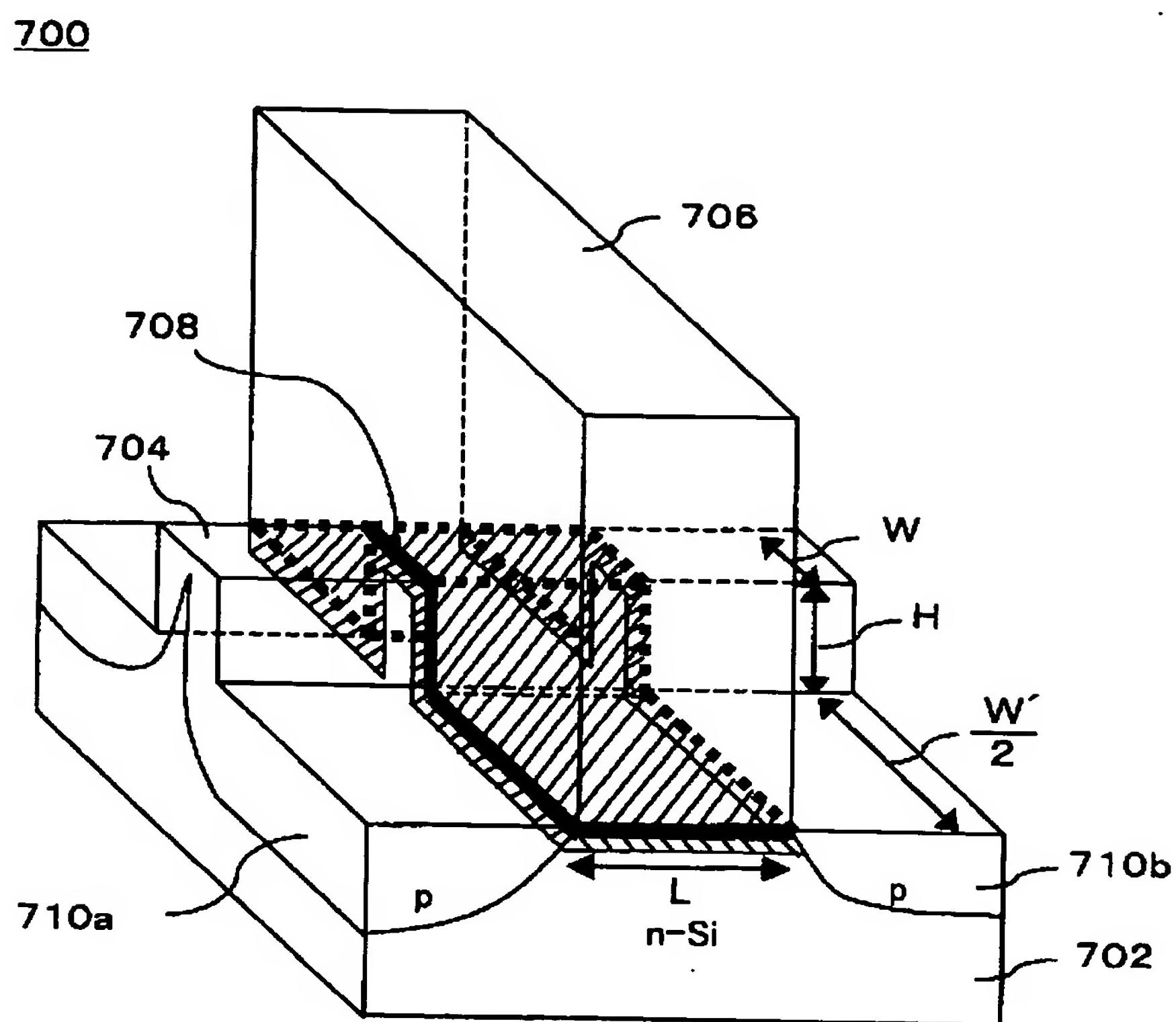
界面準位密度(100) vs. (111)



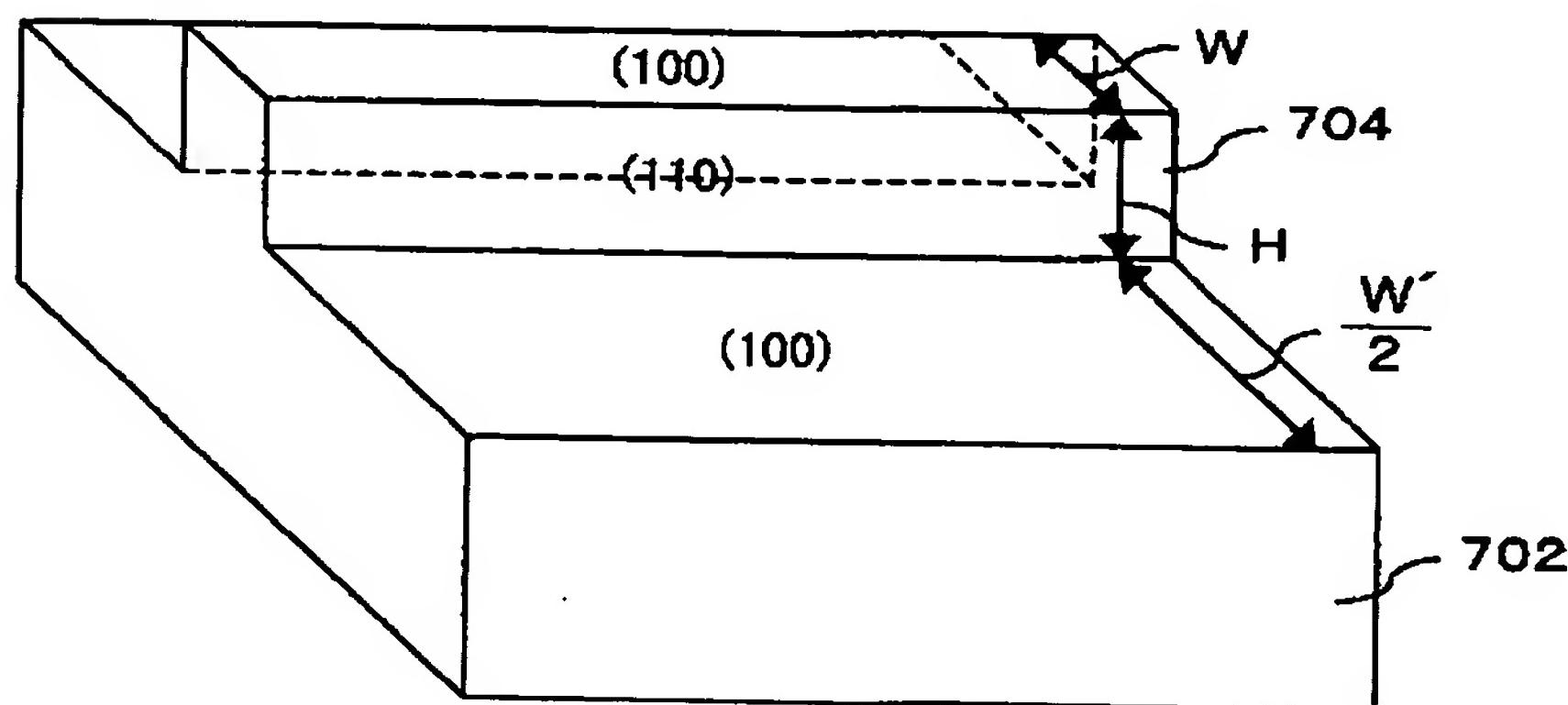
Kr/O₂ Plasma
(Kr/O₂ プラズマ)

Dry Oxidation
(熱酸化)

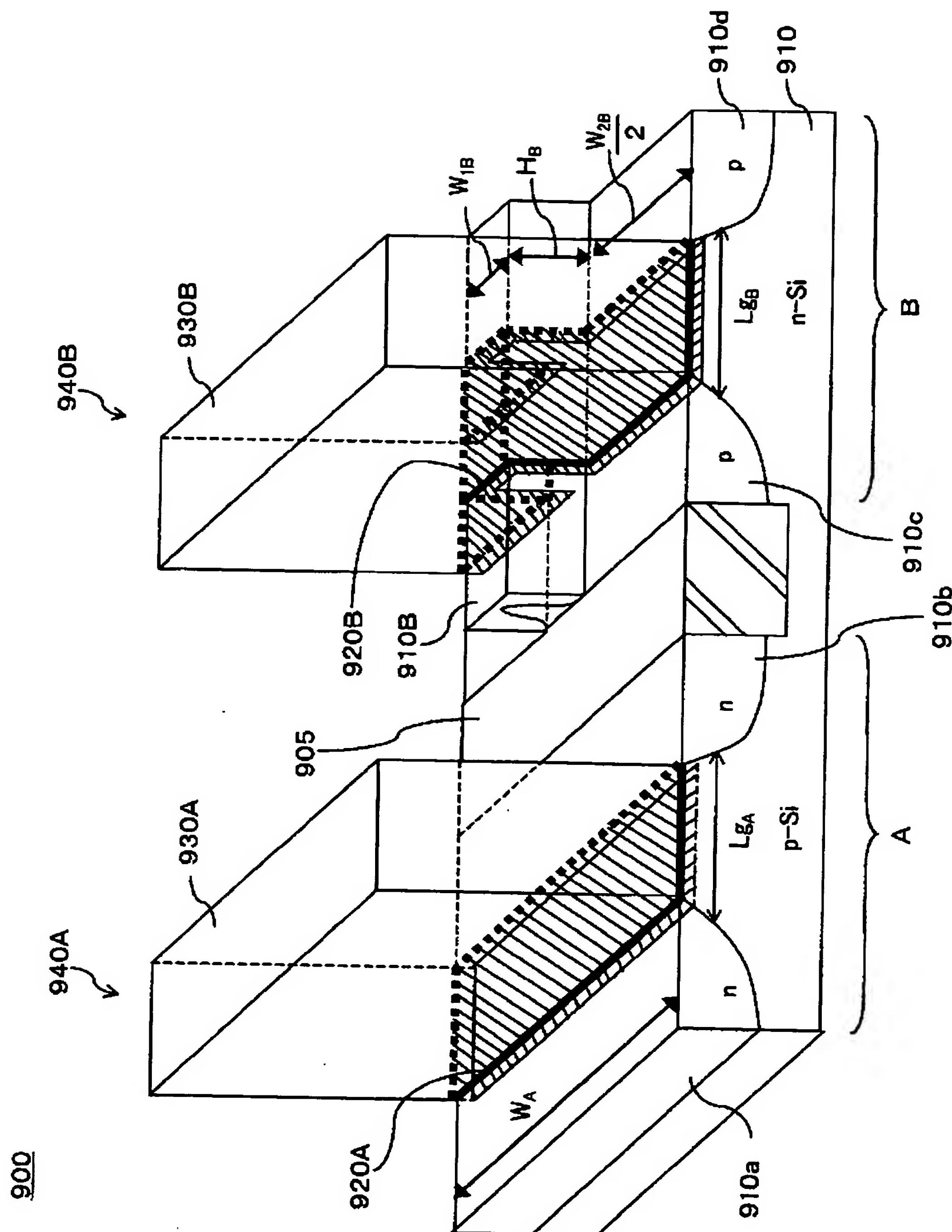
[図6]



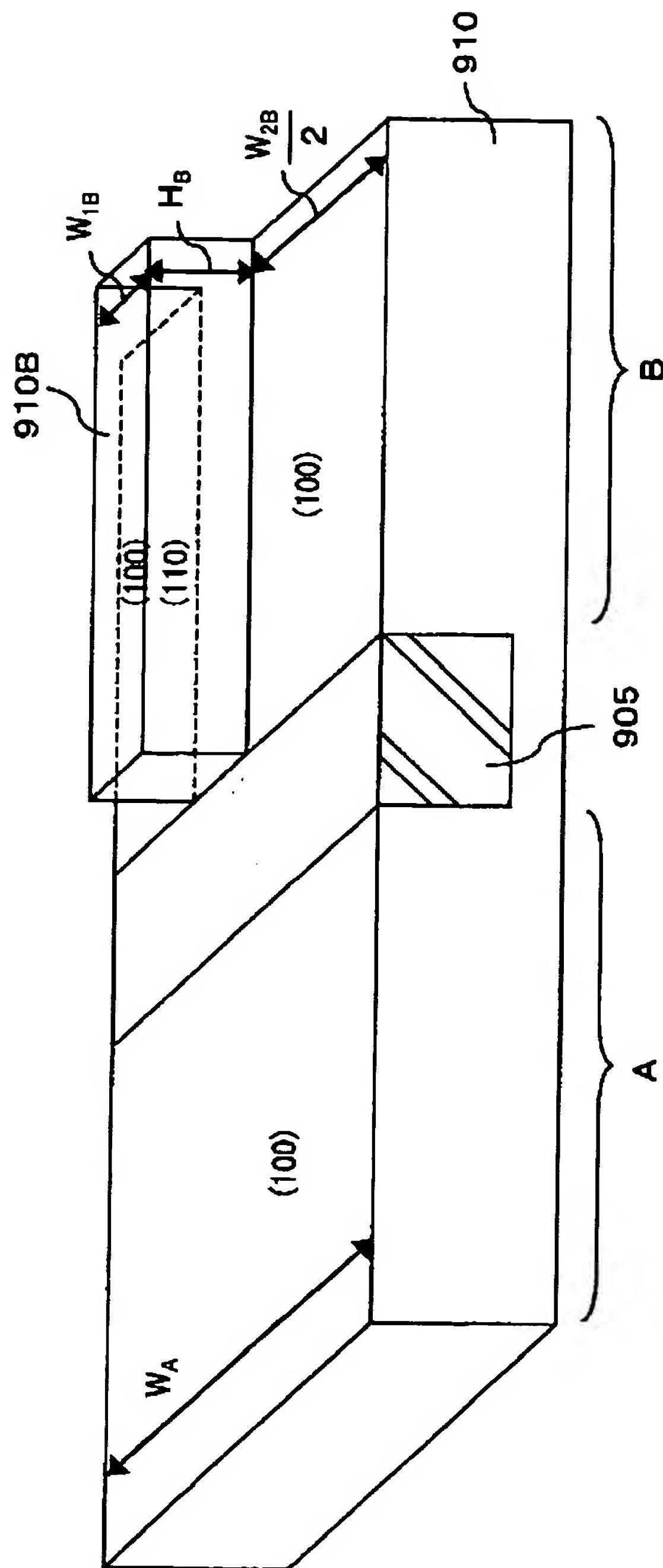
[図7]



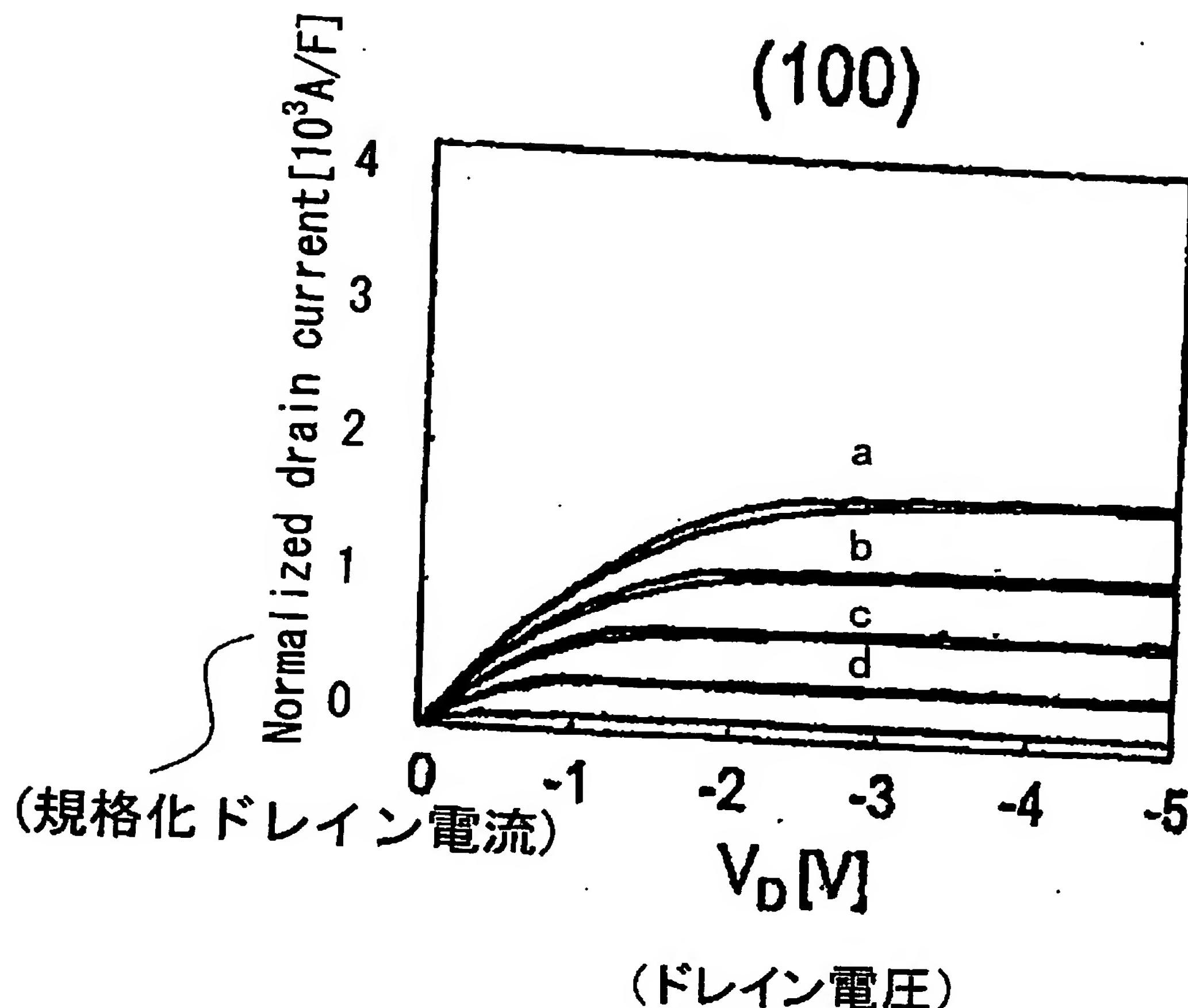
[図8]



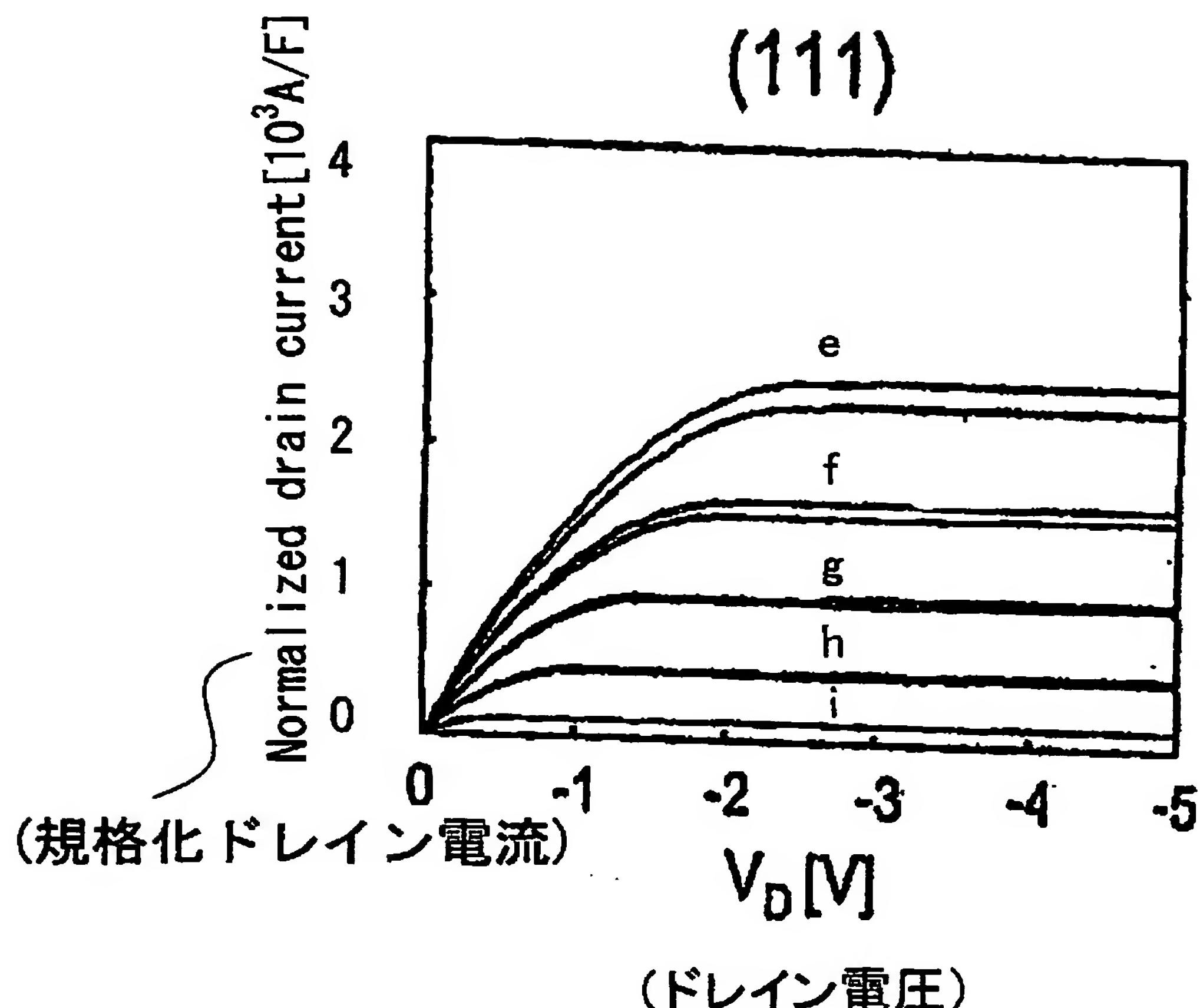
[図9]



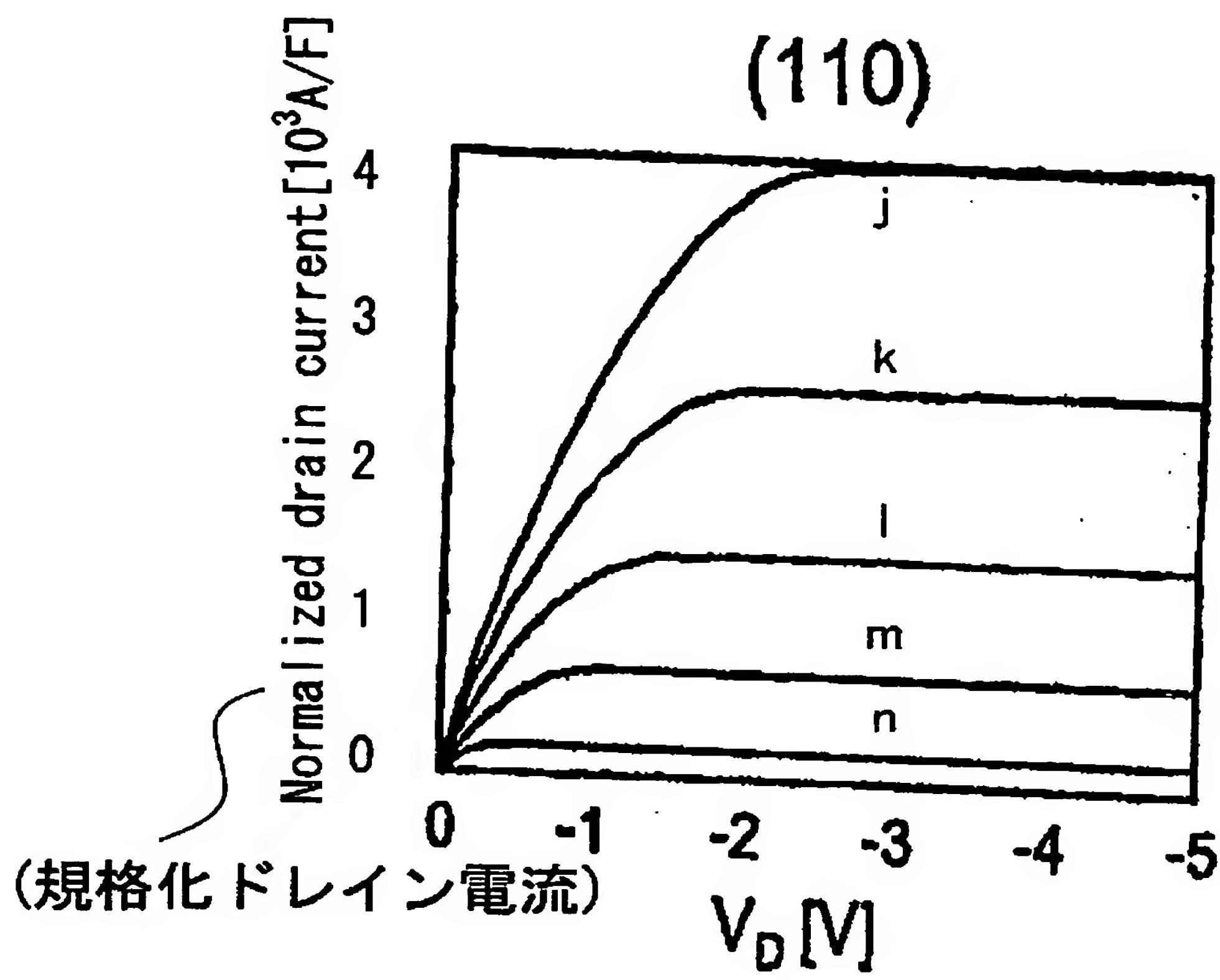
[図10A]



[図10B]



[図10C]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/008218

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H01L21/336, H01L29/78, H01L21/8238, H01L27/092

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L21/336, H01L29/78, H01L21/8238, H01L27/092

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Jitsuyo Shinan Toroku Koho	1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2002-359293 A (Toshiba Corp.), 13 December, 2002 (13.12.02), Par. Nos. [0Q97] to [0113] & CN 1389920 A & TW 530323 B	1-7 8,9
X Y	JP 8-264764 A (Toshiba Corp.), 11 October, 1996 (11.10.96), Claims; Fig. 18 (Family: none)	1-7 8,9
X Y	JP 7-249768 A (Toshiba Corp.), 26 September, 1995 (26.09.95), Par. No. [0034]; Fig. 1 (Family: none)	1-7 8,9

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:	
"A" document defining the general state of the art which is not considered to be of particular relevance	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"E" earlier application or patent but published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"O" document referring to an oral disclosure, use, exhibition or other means	"&" document member of the same patent family
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
03 September, 2004 (03.09.04)

Date of mailing of the international search report
21 September, 2004 (21.09.04)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/008218

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2002-261091 A (Tadahiro OMI), 13 September, 2002 (13.09.02), Full text; all drawings & AU 2217545 A1 & EP 1347506 A1 & JP 2002-261097 A & KR 3068570 A & US 2004/0102052 A1 & WO 2002/054473 A1	8, 9, 11
Y	JP 9-23011 A (Hitachi, Ltd.), 21 January, 1997 (21.01.97), Full text; all drawings (Family: none)	1-13
Y	JP 63-228662 A (Toshiba Corp.), 22 September, 1988 (22.09.88), Full text; all drawings (Family: none)	1-13
A	JP 1-276669 A (Toshiba Corp.), 07 November, 1989 (07.11.89), Full text; all drawings (Family: none)	1-13

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/008218

Box No. II**Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)**

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. Claims Nos.:

because they relate to subject matter not required to be searched by this Authority, namely:

2. Claims Nos.:

because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. Claims Nos.:

because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III**Observations where unity of invention is lacking (Continuation of item 3 of first sheet)**

This International Searching Authority found multiple inventions in this international application, as follows:

As stated on (extra sheet), there must exist a special technical feature so linking a group of inventions of claims as to form a single general inventive concept in order that the group of inventions may satisfy the requirement of unity of invention. The international application is considered to contain four inventions: the invention of claims [1-3, 7]; the invention of claims [4-6]; the invention of claims [8, 9, 11, 13]; and the invention of claims [10, 12].

(Continued to extra sheet)

1. As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
3. As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
4. No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest

The additional search fees were accompanied by the applicant's protest.

No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/008218

Continuation of Box No.III of continuation of first sheet(2)

There must exist a special technical feature so linking a group of inventions of claims as to form a single general inventive concept in order that the group of inventions may satisfy the requirement of unity of invention. The group of inventions of claims 1-13 is linked only by the technical feature defined in claim 1.

This technical feature, however, cannot be a special technical feature since it is disclosed in prior art documents such as JP 2002-359293 A (Toshiba Corp.), 13 December, 2002 (13.12.02), Par. Nos. [0097] to [0113], JP 8-264764 A (Toshiba Corp.), 11 October, 1996 (11.10.96), claims and Fig. 18, and JP 7-249768 A (Toshiba Corp.), 26 September, 1995 (26.09.95), Par. No. [0034] and Fig. 1.

Consequently, there is no special technical feature so linking the group of inventions of claims 1-13 as to form a single general inventive concept. Therefore, it appears that the group of inventions of claims 1-13 does not satisfy the requirement of unity of invention.

Next, the number of groups of inventions defined in the claims of this international application and so linked as to form a single general inventive concept, namely, the number of inventions will be examined.

Judging from the specific modes described in claims, the claims of this international application are considered to define the following inventions: the invention of claims [1, 2]; the invention of claim [3]; the invention of claims [4-6]; the invention of claim [7]; the invention of claims [8, 9, 11, 13]; the invention of claim [10]; and the invention of claim [12]. Meanwhile, claims [3] and [7] are respectively a mere combination of a well-known art with the features defined in claims [1, 2], and the feature described in claim [10] is common to claims [10] and [12].

Consequently, this international application is considered to contain four groups of inventions: the invention of claims [1-3, 7]; the invention of claims [4-6]; the invention of claims [8, 9, 11, 13]; and the invention of claims [10, 12].

A. 発明の属する分野の分類(国際特許分類(IPC))

Int. Cl' H01L21/336, H01L29/78, H01L21/8238, H01L27/092

B. 調査を行った分野

調査を行った最小限資料(国際特許分類(IPC))

Int. Cl' H01L21/336, H01L29/78, H01L21/8238, H01L27/092

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2004年
 日本国登録実用新案公報 1994-2004年
 日本国実用新案登録公報 1996-2004年

国際調査で使用した電子データベース(データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 2002-359293 A(株式会社東芝) 2002.12.13 【0097】 - 【0113】 & CN 1389920 A & KR 2092148 A & TW 530323 B & US 2002/0185676 A1	1-7 8, 9
X	JP. 8-264764 A(株式会社東芝) 1996.10.11 特許請求の範囲及び図18(ファミリーなし)	1-7 8, 9

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

- 「A」特に関連のある文献ではなく、一般的技術水準を示すもの
- 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
- 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献(理由を付す)
- 「O」口頭による開示、使用、展示等に言及する文献
- 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

国際調査を完了した日

03.09.2004

国際調査報告の発送日

21.9.2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
 郵便番号 100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官(権限のある職員)
 松嶋 秀忠

4M 9836

電話番号 03-3581-1101 内線 3460

C(続き) 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 7-249768 A(株式会社東芝) 1995.09.26	1-7
Y	【0034】及び図1(ファミリーなし)	8, 9
Y	JP 2002-261091 A(大見忠弘) 2002.09.13 全文, 全図 & AU 2217545 A1 & EP 1347506 A1 & JP 2002-261097 A & KR 3068570 A & US 2004/0102052 A1 & WO 2002/054473 A1	8, 9, 11
Y	JP 9-23011 A(株式会社日立製作所) 1997.01.21 全文, 全図(ファミリーなし)	1-13
Y	JP 63-228662 A(株式会社東芝) 1988.09.22 全文, 全図(ファミリーなし)	1-13
A	JP 1-276669 A(株式会社東芝) 1989.11.07 全文, 全図(ファミリーなし)	1-13

第II欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（PCT17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. 請求の範囲 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、
2. 請求の範囲 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. 請求の範囲 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第III欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるとこの国際調査機関は認めた。

（特別ページ）に記載したように、請求の範囲に記載されている一群の発明が单一性の要件を満たすためには、その一群の発明を单一の一般的発明概念を形成するように連関させるための、特別な技術的特徴の存在が必要であるところ、この国際出願の請求の範囲には、[1-3, 7]、[4-6]、[8, 9, 11, 13]、[10, 12]に区分される4個の発明が記載されていると認められる。

1. 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3. 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4. 出願人が必要な追加調査手数料を期間内に納付しなかったので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

追加調査手数料の異議の申立てに関する注意

- 追加調査手数料の納付と共に出願人から異議申立てがあった。
- 追加調査手数料の納付と共に出願人から異議申立てがなかった。

請求の範囲に記載されている一群の発明が单一性の要件を満たすためには、その一群の発明を单一の一般的発明概念を形成するように連関させるための、特別な技術的特徴の存在が必要であるところ、請求の範囲1-13に記載されている一群の発明は、請求の範囲1でのみ連関していると認められる。

しかしながら、この事項は先行技術文献、JP 2002-359293 A(株式会社東芝) 2002.12.13, 【0097】-【0113】、JP 8-264764 A(株式会社東芝) 1996.10.11, 特許請求の範囲及び図18、JP 7-249768 A(株式会社東芝) 1995.09.26, 【0034】及び図1に記載されているため、特別な技術的特徴とはなり得ない。

そうすると、請求の範囲1-13に記載されている一群の発明の間には、单一の一般的発明概念を形成するように連関させるための、特別な技術的特徴は存しないこととなる。そのため、請求の範囲1-13に記載されている一群の発明が発明の单一性の要件を満たしていないことは明らかである。

次に、この国際出願の請求の範囲に記載されている、一般的発明概念を形成するように連関している発明の群の数、すなわち、発明の数につき検討する。

請求の範囲の態様からすると、請求の範囲には、[1, 2]、[3]、[4-6]、[7]、[8, 9, 11, 13]、[10]、[12]に区分される発明が記載されているが、請求の範囲[3]及び[7]に記載された事項は、請求の範囲[1, 2]に記載された事項に対して周知な事項を組み合わせたものにすぎず、また、請求の範囲[10]及び[12]に記載された事項は、請求の範囲[10]に記載された事項で共通するものである。

したがって、この国際出願の請求の範囲には、[1-3, 7]、[4-6]、[8, 9, 11, 13]、[10, 12]に区分される4個の発明が記載されている。